

99-1 大葉大學 選課版課綱

基本資訊

課程名稱	Verilog硬體描述語言	科目序號 / 代號	0709 / EEI3106
開課系所	電機工程學系	學制 / 班級	大學日間部3年1班
任課教師	陳慶順	專兼任別	專任
必選修 / 學分數	選修 / 3	畢業班 / 非畢業班	非畢業班
上課時段 / 地點	(一)89A / H727	授課語言別	中文

課程簡介

本課程教授學生如何進行可合成之 Verilog 硬體描述語言有關設計。

課程大綱

邏輯合成
行為模型
同步程序
模組階層化
邏輯層級模型
循環精確規範
先進時序

基本能力或先修課程

程式語言
數位邏輯