

99-1 大葉大學 完整版課綱

基本資訊

課程名稱	硬體描述語言	科目序號 / 代號	2755 / IFR5132
開課系所	資訊工程學系碩士班	學制 / 班級	研究所碩士班1年1班
任課教師	林浩仁	專兼任別	兼任
必選修 / 學分數	選修 / 3	畢業班 / 非畢業班	非畢業班
上課時段 / 地點	(一)567 / H707 (四)5 / H707	授課語言別	中文

課程簡介

本課程以數位系統設計為基礎，探討數位IC設計基本流程，熟悉Verilog硬體描述語言語法，並以文字化描述數位電路，輔以電路測試平台之規劃與撰寫，進行軟體模擬與驗證電路之正確性。

課程大綱

unit 1 Overview of Sequential Circuit Design
unit 2 Overview of Digital Design with Verilog HDL
unit 3 Verilog Overview
unit 4 Some Examples
unit 5 Modules and Ports
unit 6 Gate-Level Modeling
unit 7 Dataflow Modeling
unit 8 Behavioral Modeling
unit 9 Tasks and Functions
unit 10 Timing and Delays
unit 11 Useful Modeling Techniques
unit 12 Switch-Level Modeling
unit 13 User-Defined Primitives

基本能力或先修課程

程式設計(C語言)、數位系統設計

課程與系所基本素養及核心能力之關連

- 3.1 具備溝通與協調之能力。
- 3.2 具有團隊合作的能力。
- 4.2 具備專案領導之技巧與時程管理之能力。
- 5.1 瞭解全球資訊研究及相關產業之發展現況與趨勢。
- 6.1 瞭解終身學習的重要性及具備自我學習之能力。

成績稽核

教科書(尊重智慧財產權，請用正版教科書，勿非法影印他人著作)

書名	作者	譯者	出版社	出版年
無參考教科書				

參考教材及專業期刊導讀(尊重智慧財產權，請用正版教科書，勿非法影印他人著作)

書名	作者	譯者	出版社	出版年
無參考教材及專業期刊導讀				

上課進度

週次	教學內容	分配時數(%)				
		講授	示範	習作	實驗	其他
1	Introduction	40	20	20	20	
2	Overview of Digital Design with Verilog HDL	40	20	20	20	
3	Verilog Overview	40	20	20	20	
4	Verilog Overview	40	20	20	20	
5	Verilog Overview	40	20	20	20	
6	Some Examples	40	20	20	20	
7	Basic Modeling Concepts	40	20	20	20	
8	Modules and Ports	40	20	20	20	
9	Gate-Level Modeling	40	20	20	20	
10	Dataflow Modeling	40	20	20	20	
11	Behavioral Modeling	40	20	20	20	
12	Tasks and Functions	40	20	20	20	
13	Timing and Delays	40	20	20	20	
14	Useful Modeling Techniques	40	20	20	20	
15	User-Defined Primitives	40	20	20	20	
16	Switch-Level Modeling	40	20	20	20	
17	case study	40	20	20	20	
18	期末考	40	20	20	20	