

## 99-1 大葉大學 完整版課綱

### 基本資訊

課程名稱	Verilog硬體描述語言	科目序號 / 代號	0709 / EEI3106
開課系所	電機工程學系	學制 / 班級	大學日間部3年1班
任課教師	陳慶順	專兼任別	專任
必選修 / 學分數	選修 / 3	畢業班 / 非畢業班	非畢業班
上課時段 / 地點	(一)89A / H727	授課語言別	中文

### 課程簡介

本課程教授學生如何進行可合成之 Verilog 硬體描述語言有關設計。

### 課程大綱

邏輯合成  
行為模型  
同步程序  
模組階層化  
邏輯層級模型  
循環精確規範  
先進時序

### 基本能力或先修課程

程式語言  
數位邏輯

### 課程與系所基本素養及核心能力之關連

4.3.充分認知專業倫理之重要性，瞭解工程技術對環境、社會及全球的影響，善盡工程師之社會責任

### 成績稽核

教科書(尊重智慧財產權，請用正版教科書，勿非法影印他人著作)

書名	作者	譯者	出版社	出版年
----	----	----	-----	-----

無參考教科書

參考教材及專業期刊導讀(尊重智慧財產權，請用正版教科書，勿非法影印他人著作)

書名	作者	譯者	出版社	出版年
----	----	----	-----	-----

無參考教材及專業期刊導讀

上課進度		分配時數(%)				
週次	教學內容	講授	示範	習作	實驗	其他
1	A Tutorial Introduction	50	10	40		
2	A Tutorial Introduction	50	10	40		
3	Logic Synthesis	50	10	40		
4	Logic Synthesis	50	10	40		
5	Behavioral Modeling	50	10	40		
6	Behavioral Modeling	50	10	40		
7	Behavioral Modeling	50	10	40		
8	Concurrent Processes	50	10	40		
9	Concurrent Processes	50	10	40		
10	Module Hierarchy	50	10	40		
11	Module Hierarchy	50	10	40		
12	Logic Level Modeling	50	10	40		
13	Logic Level Modeling	50	10	40		
14	Logic Level Modeling	50	10	40		
15	Cycle-Accurate Specification	50	10	40		
16	Cycle-Accurate Specification	50	10	40		
17	Advanced Timing	50	10	40		
18	Advanced Timing	50	10	40		