

98-2 大葉大學 完整版課綱

基本資訊

課程名稱	數位晶片設計	科目序號 / 代號	2193 / IFR5122
開課系所	資訊工程學系碩士班	學制 / 班級	研究所碩士班1年1班
任課教師	林浩仁	專兼任別	兼任
必選修 / 學分數	選修 / 3	畢業班 / 非畢業班	非畢業班
上課時段 / 地點	(一)5678 / H707	授課語言別	中文

課程簡介

本課程介紹數位晶片設計原理與技術，是資訊工程領域之重要應用課程之一。課程涵蓋數位晶片設計之組合與序向電路元件、電路設計、時序分析與有限狀態機等電路設計課題之探討，著重Verilog硬體描述語言之實現，並配合EDA設計流程相關軟體操作演練，使學生建立數位晶片設計的理論與實務整合概念。

課程大綱

Unit 1 HDL Coding Styles for Synthesis
Unit 2 Synthesis of Combinational Logic
Unit 3 Synthesis of Sequential Logic
Unit 4 Design and synthesis of datapath controllers
Unit 5 Postsynthesis Design Tasks
Unit 6 Final Project

基本能力或先修課程

數位邏輯導論、組合邏輯設計、數位系統設計、Verilog硬體描述語言

課程與系所基本素養及核心能力之關連

- 2.1 具備應用相關數學、科學及工程原理解決工程技術或學術研究問題之能力。
- 3.1 具備溝通與協調之能力。
- 3.2 具有團隊合作的能力。
- 4.2 具備專案領導之技巧與時程管理之能力。
- 6.1 瞭解終身學習的重要性及具備自我學習之能力。

成績稽核

教科書(尊重智慧財產權，請用正版教科書，勿非法影印他人著作)

書名	作者	譯者	出版社	出版年
----	----	----	-----	-----

無參考教科書

參考教材及專業期刊導讀(尊重智慧財產權，請用正版教科書，勿非法影印他人著作)

書名	作者	譯者	出版社	出版年
----	----	----	-----	-----

無參考教材及專業期刊導讀

上課進度		分配時數(%)				
週次	教學內容	講授	示範	習作	實驗	其他
1	HDL Coding Styles for Synthesis	40	15	30	15	
2	HDL Coding Styles for Synthesis	40	15	30	15	
3	HDL Coding Styles for Synthesis	40	15	30	15	
4	Synthesis of Combinational Logic	40	15	30	15	
5	Synthesis of Combinational Logic	40	15	30	15	
6	Synthesis of Sequential Logic	40	15	30	15	
7	Synthesis of Sequential Logic	40	15	30	15	
8	Synthesis techniques	40	15	30	15	
9	Synthesis techniques	40	15	30	15	
10	Design and synthesis of datapath controllers	40	15	30	15	
11	Design and synthesis of datapath controllers	40	15	30	15	
12	Design and synthesis of datapath controllers	40	15	30	15	
13	Postsynthesis Design Tasks	40	15	30	15	
14	Postsynthesis Design Tasks	40	15	30	15	
15	Postsynthesis Design Tasks	40	15	30	15	
16	Final Project	10	0	90	0	
17	Final Project	10	0	90	0	
18	Final Project	10	0	90	0	0