

98-2 大葉大學 完整版課綱

基本資訊

課程名稱	FPGA晶片設計與應用實務	科目序號 / 代號	1606 / EDR5074
開課系所	電機工程學系博士班	學制 / 班級	研究所博士班1年1班
任課教師	黃登淵	專兼任別	專任
必選修 / 學分數	選修 / 3	畢業班 / 非畢業班	非畢業班
上課時段 / 地點	(一)34N / H371	授課語言別	中文

課程簡介

本課程的安排為理論與實務並重，以教授VHDL語法在FPGA上實現晶片設計之觀念為主，並佐以EDA軟體工具的模擬，配合實驗模組進行實際的操作與學習，以「即學即用」的方式使學員能快速掌握晶片設計的重點與工程經驗，建立進入專業領域的自信心。

課程大綱

VHDL設計概論
組合邏輯設計
閘層次功能模擬
晶片層次功能模擬
循序邏輯設計I-暫存器、計數器、計時器
循序邏輯設計II-程序、系統設計、狀態機
實作模擬-電子鐘、安全鎖

基本能力或先修課程

數位邏輯設計
電子學

課程與系所基本素養及核心能力之關連

- 3.1.具有有效溝通，具備跨領域團隊合作及整合之能力。
- 3.2.具有充分認知工程倫理重要性，認識時事議題、善盡社會責任。
- 4.1.具有英語聽說讀寫與溝通能力。
- 4.2.具有國際觀，培養終身學習。

成績稽核

教科書(尊重智慧財產權，請用正版教科書，勿非法影印他人著作)

書名	作者	譯者	出版社	出版年
無參考教科書				

參考教材及專業期刊導讀(尊重智慧財產權，請用正版教科書，勿非法影印他人著作)

書名	作者	譯者	出版社	出版年
無參考教材及專業期刊導讀				

上課進度		分配時數(%)				
週次	教學內容	講授	示範	習作	實驗	其他
1	Introduction to chip design	50	50			
2	FPGA/CPLD General Architectures	30	30			40
3	Introduction to VHDL Design Methodology	30	30			40
4	Basics of Combinatorial Logic Design-1	30	30			40
5	Basics of Combinatorial Logic Design-2	30	30			40
6	Gate Level Functional Simulation	30	30			40
7	Chip Level Functional Verification	30	30			40
8	Basics of Sequential Logic Design I:	30	30			40
9	期中考試	0	0			100
10	Registers, Counters, Timers-1	30	30			40
11	Registers, Counters, Timers-2	30	30			40
12	Basics of Sequential Logic Design II:	30	30			40
13	Process, System design, State Machine Logic	30	30			40
14	Project Demonstration I :	30	30			40
15	Printer port interface, Electronic clock, Security lock	30	30			40
16	Project Demonstration II:	30	30			40
17	Motion control project	30	30			40
18	期末專題報告與實作展示	100	0	0	0	0