

98-2 大葉大學 完整版課綱

基本資訊

課程名稱	計算機設計	科目序號 / 代號	0613 / EEI4177
開課系所	電機工程學系	學制 / 班級	大學日間部4年1班
任課教師	陳慶順	專兼任別	專任
必選修 / 學分數	選修 / 3	畢業班 / 非畢業班	畢業班
上課時段 / 地點	(一)89A / H731	授課語言別	中文

課程簡介

本課程教授學生運用Verilog HDL與ASM設計實現一個簡易乘法處理器相關研究.

課程大綱

ASM與Verilog HDL簡介
三階段除法機Verilog設計

基本能力或先修課程

計算機架構
Verilog硬體描述語言
數位邏輯

課程與系所基本素養及核心能力之關連

成績稽核

教科書(尊重智慧財產權，請用正版教科書，勿非法影印他人著作)

書名	作者	譯者	出版社	出版年
無參考教科書				

參考教材及專業期刊導讀(尊重智慧財產權，請用正版教科書，勿非法影印他人著作)

書名	作者	譯者	出版社	出版年
無參考教材及專業期刊導讀				

上課進度		分配時數(%)				
週次	教學內容	講授	示範	習作	實驗	其他
1	Pure Behavioral stage of the two-state division machine	66		34		
2	Pure Behavioral stage of the two-state division machine	66		34		
3	Mixed stage of the two-state division machine	66		34		
4	Mixed stage of the two-state division machine	66		34		
5	Pure structural stage of the two state division machine	66		34		
6	Pure structural stage of the two state division machine	66		34		
7	Hierarchical refinement of the controller	66		34		
8	Structure of the machine	66		34		
9	Structure of the machine	66		34		
10	Behavioral fetch/execute	66		34		
11	Behavioral fetch/execute	66		34		
12	Mixed fetch/execute	66		34		
13	Mixed fetch/execute	66	0	34	0	0
14	Memory architecture	66	0	34	0	0
15	PDP-8 architecture	66	0	34	0	0
16	Implement an PDP-8 processor by using Verilog HDL	66	0	34	0	0
17	Implement an PDP-8 processor by using Verilog HDL	66	0	34	0	0
18	Implement an PDP-8 processor by using Verilog HDL	66	0	34	0	0