

98-1 大葉大學 完整版課綱

基本資訊

| | | | |
|-----------|----------------|------------|----------------|
| 課程名稱 | 硬體描述語言 | 科目序號 / 代號 | 1267 / IF13094 |
| 開課系所 | 資訊工程學系 | 學制 / 班級 | 大學日間部3年3班 |
| 任課教師 | 林浩仁 | 專兼任別 | 兼任 |
| 必選修 / 學分數 | 選修 / 3 | 畢業班 / 非畢業班 | 非畢業班 |
| 上課時段 / 地點 | (一)89AB / H708 | 授課語言別 | 中文 |

課程簡介

本課程以數位系統設計為基礎，探討數位IC設計基本流程，熟悉Verilog硬體描述語言語法，並以文字化描述數位電路，輔以電路測試平台之規劃與撰寫，進行軟體模擬與驗證電路之正確性。

課程大綱

unit 1 Overview of Sequential Circuit Design
unit 2 Overview of Digital Design with Verilog HDL
unit 3 Verilog Overview
unit 4 Some Examples
unit 5 Modules and Ports
unit 6 Gate-Level Modeling
unit 7 Dataflow Modeling
unit 8 Behavioral Modeling
unit 9 Tasks and Functions
unit 10 Timing and Delays
unit 11 Useful Modeling Techniques
unit 12 Switch-Level Modeling
unit 13 User-Defined Primitives

基本能力或先修課程

程式設計(C語言)、數位系統設計

課程與系所基本素養及核心能力之關連

- 1.1 具備資訊工程與資訊應用所需的基本數學和物理學的知識。
- 1.2 具備應用線性代數、離散數學及工程數學的能力，並使用機率統計方法來分析資料的能力。
- 1.3 具備系統分析與程式設計能力。
- 1.5 瞭解電腦網路運作基本原理，並熟練使用相關網路工具解決網路問題之能力。
- 1.6 具備資料結構及演算法之基本知識及應用能力，並具有資料庫設計和多媒體編輯及整合之能力。
- 2.1 有團隊合作的能力。

- 2.2 具備良好的溝通技巧。
- 2.3 具備撰寫計畫、有效的時程管理及執行研究專題與撰寫研究報告之能力。
- 2.4 具備正確的工程倫理道德觀念。
- 3.1 能夠了解社會生態及全球經濟發展的脈動，認清其於現代社會中扮演的角色。
- 3.2 能夠欣賞文化、藝術及具有人文素養。
- 4.1 具備使用網路資源之能力。
- 4.3 具備資料檢索之能力。
- 4.4 了解國內外相關產業之發展現況。
- 4.5 了解『終身學習』的重要性。

成績稽核

教科書(尊重智慧財產權，請用正版教科書，勿非法影印他人著作)

| 書名 | 作者 | 譯者 | 出版社 | 出版年 |
|--------|----|----|-----|-----|
| 無參考教科書 | | | | |

參考教材及專業期刊導讀(尊重智慧財產權，請用正版教科書，勿非法影印他人著作)

| 書名 | 作者 | 譯者 | 出版社 | 出版年 |
|--------------|----|----|-----|-----|
| 無參考教材及專業期刊導讀 | | | | |

| 上課進度 | | 分配時數(%) | | | | |
|------|---|---------|----|----|----|----|
| 週次 | 教學內容 | 講授 | 示範 | 習作 | 實驗 | 其他 |
| 1 | Introduction | 40 | 20 | 20 | 20 | |
| 2 | Overview of Digital Design with Verilog HDL | 40 | 20 | 20 | 20 | |
| 3 | Verilog Overview | 40 | 20 | 20 | 20 | |
| 4 | Verilog Overview | 40 | 20 | 20 | 20 | |
| 5 | Verilog Overview | 40 | 20 | 20 | 20 | |
| 6 | Some Examples | 40 | 20 | 20 | 20 | |
| 7 | Basic Modeling Concepts | 40 | 20 | 20 | 20 | |
| 8 | Modules and Ports | 40 | 20 | 20 | 20 | |
| 9 | Gate-Level Modeling | 40 | 20 | 20 | 20 | |
| 10 | Dataflow Modeling | 40 | 20 | 20 | 20 | |
| 11 | Behavioral Modeling | 40 | 20 | 20 | 20 | |
| 12 | Tasks and Functions | 40 | 20 | 20 | 20 | |
| 13 | Timing and Delays | 40 | 20 | 20 | 20 | |
| 14 | Useful Modeling Techniques | 40 | 20 | 20 | 20 | |
| 15 | User-Defined Primitives | 40 | 20 | 20 | 20 | |
| 16 | Switch-Level Modeling | 40 | 20 | 20 | 20 | |
| 17 | case study | 40 | 20 | 20 | 20 | |

