

102-2 大葉大學 完整版課綱

基本資訊

課程名稱	高速數位系統設計	科目序號 / 代號	1983 / EDR5086
開課系所	電機工程學系博士班	學制 / 班級	研究所博士班1年1班
任課教師	吳俊德	專兼任別	專任
必選修 / 學分數	選修 / 3	畢業班 / 非畢業班	非畢業班
上課時段 / 地點	(一)9AB / H369	授課語言別	英文

課程簡介

1. 介紹數位電路和傳輸線理論
2. 非理想傳輸線效應及串音對於訊號完整度之影響
3. 貫孔接腳，連接器與封裝對訊號完整度之影響
4. 非理想的迴流與共同觸發雜訊對於電源完整性之影響

課程大綱

1. 高速連接器的設計
2. 理想傳輸線的基本理論
3. 串音
4. 非理想連接器的問題
5. 連接器、封裝與貫孔接腳
6. 非理想迴流效應、共同觸發雜訊與電源供應

基本能力或先修課程

電磁學

課程與系所基本素養及核心能力之關連

- 1.1. 具有以下任一領域專業知識與能力:微電子與光電領域、系統與能源科技領域、電信領域。
- 2.1. 具有蒐集整理資料、辨識分析、規劃及解決問題能力。
- 2.2. 具有設計實驗、分析創新、獨立研究與實作能力。
 - 3.1. 具有有效溝通，具備跨領域團隊合作及整合之能力。
 - 3.2. 具有充分認知工程倫理重要性，認識時事議題、善盡社會責任。
- 4.1. 具有英語聽說讀寫與溝通能力。
- 4.2. 具有國際觀，培養終身學習。

教學計畫表

系所核心能力	權重(%) 【A】	檢核能力指標(績效指 標)	教學策略	評量方法及配分 權重	核心能力 學習成績 【B】	期末學習 成績 【C=B*A 】
1.1.具有以下任一領域專業知識與能力:微電子與光電領域、系統與能源科技領域、電信領域。	80%	1.1.1.能分析設計。 1.1.2.能勇於發問。 1.1.3.能有科技知識的好奇心。	講述法 學生上台報告	期末考: 40% 課堂討論: 20% 課程參與度: 10% 口頭報告: 20% 書面報告: 10%	加總: 100	80
2.1.具有蒐集整理資料、辨識分析、規劃及解決問題能力。	10%	2.1.1.能蒐集與分析資料。 2.1.2.規劃研究方向。 2.1.3.能使用模擬軟體。 2.1.4.能分析統計與解釋結果。 2.1.5.能解決問題。	講述法 學生上台報告	期末考: 40% 課堂討論: 20% 課程參與度: 10% 口頭報告: 20% 書面報告: 10%	加總: 100	10
2.2.具有設計實驗、分析創新、獨立研究與實作能力。	10%	2.2.1.勇於表達。 2.2.2.能設計實驗與驗證結果。 2.2.3.能有創新的思考 2.2.4.能發覺問題。 2.2.5.能獨立地解決問題。 。	講述法 學生上台報告	期末考: 40% 課堂討論: 20% 課程參與度: 10% 口頭報告: 20% 書面報告: 10%	加總: 100	10

成績稽核

期末考: 40%
 口頭報告: 20%
 課堂討論: 20%
 書面報告: 10%
 課程參與度: 10%

教科書(尊重智慧財產權, 請用正版教科書, 勿非法影印他人著作)

書名	作者	譯者	出版社	出版年
High - Speed Digital System Design	S. H. Hall		WILEY-INTERSCIENCE	0

參考教材及專業期刊導讀(尊重智慧財產權, 請用正版教科書, 勿非法影印他人著作)

書名	作者	譯者	出版社	出版年
無參考教材及專業期刊導讀				

上課進度		分配時數(%)				
週次	教學內容	講授	示範	習作	實驗	其他
1	The Importance of Interconnect Design	80	0	0	0	20
2	Ideal Transmission Line Fundamentals(1)	80	0	0	0	20
3	Ideal Transmission Line Fundamentals(2)	80	0	0	0	20
4	Ideal Transmission Line Fundamentals(3)	80	0	0	0	20
5	Crosstalk(1)	80	0	0	0	20
6	Crosstalk(2)	80	0	0	0	20
7	Crosstalk(3)	80	0	0	0	20
8	Nonideal Interconnect Issues(1)	80	0	0	0	20
9	Nonideal Interconnect Issues(2)	80	0	0	0	20
10	Nonideal Interconnect Issues(3)	80	0	0	0	20
11	Connectors	80	0	0	0	20
12	Packages	80	0	0	0	20
13	Vias	80	0	0	0	20
14	Nonideal Return Paths	80	0	0	0	20
15	Simutaneous Switching Noise	80	0	0	0	20
16	Power Delivery	80	0	0	0	20
17	Final Exam	0	0	0	0	100
18	Report	0	0	0	0	100