

102-2 大葉大學 完整版課綱

基本資訊

課程名稱	數位系統設計	科目序號 / 代號	0954 / IF13004
開課系所	資訊工程學系	學制 / 班級	大學日間部2年2班
任課教師	高富建	專兼任別	專任
必選修 / 學分數	必修 / 3	畢業班 / 非畢業班	非畢業班
上課時段 / 地點	(四)678 / H607	授課語言別	中文

課程簡介

本課程介紹數位電路設計基本原理與技術，是資訊工程領域之基礎核心課程之一。課程涵蓋序向電路元件、基本序向電路(如計數器等)、序向電路時序分析、有限狀態機與序向電路設計流程等課題之探討，使學生建立數位邏輯電路的基本概念，了解數位邏輯電路的運作原理。



課程大綱

Unit 1 Latches , and Flip-Flops
Unit 2 Registers , Shift Registers , Binary Counters , and Counters for other Sequences
Unit 3 Analysis of Clocked Sequential Circuits, and State Tables and Graphs
Unit 4 Derivation of State Graphs and Tables
Unit 5 Reduction of State Tables
Unit 6 Design of Sequential Circuits

基本能力或先修課程


數位邏輯導論、組合邏輯設計

課程與系所基本素養及核心能力之關連

- 1.1 具備資訊工程與資訊應用所需的基本數學和物理學的知識。
- 1.2 具備應用線性代數、離散數學及工程數學的能力，並使用機率統計方法來分析資料的能力。
- 1.3 具備系統分析與程式設計能力。
-  1.4 具備數位系統設計基本能力及熟悉計算機原理與應用。
- 1.5 瞭解電腦網路運作基本原理，並熟練使用相關網路工具解決網路問題之能力。
- 1.6 具備資料結構及演算法之基本知識及應用能力，並具有資料庫設計和多媒體編輯及整合之能力。
-  1.7 瞭解資訊系統的基本架構與運作原理，具備基本資訊系統的設計、分析與整合能力。
- 2.1 有團隊合作的能力。
- 2.2 具備良好的溝通技巧。
- 2.3 具備撰寫計畫、有效的時程管理及執行研究專題與撰寫研究報告之能力。
- 2.4 具備正確的工程倫理道德觀念。


3.1 能夠了解社會生態及全球經濟發展的脈動，認清其於現代社會中扮演的角色。

3.2 能夠欣賞文化、藝術及具有人文素養。

 3.3 具備以英文閱讀資訊相關領域文章之基本能力。

 4.1 具備使用網路資源之能力。

 4.2 能充分運用圖書館資源。

 4.3 具備資料檢索之能力。

4.4 了解國內外相關產業之發展現況。

4.5 了解『終身學習』的重要性。

教學計畫表

系所核心能力	權重(%) 【A】	檢核能力指標(績效指標)	教學策略	評量方法及配分 權重	核心能力 學習成績 【B】	期末學習 成績 【C=B*A 】
1.4 具備數位系統設計基本能力及熟悉計算機原理與應用。	50%	具備數位系統設計基本能力及熟悉計算機原理與應用。	講述法	小考: 10% 期中考: 20% 期末考: 20% 作業: 10% 課堂討論: 20% 課程參與度: 20%	加總: 100	50
1.7 瞭解資訊系統的基本架構與運作原理，具備基本資訊系統的設計、分析與整合能力。	20%	瞭解資訊系統的基本架構與運作原理，具備基本資訊系統的設計、分析與整合能力。	講述法	小考: 10% 期中考: 20% 期末考: 20% 作業: 10% 課堂討論: 20% 課程參與度: 20%	加總: 100	20
3.3 具備以英文閱讀資訊相關領域文章之基本能力。	15%	具備以英文閱讀資訊相關領域文章之基本能力。	講述法	小考: 10% 期中考: 20% 期末考: 20% 作業: 10% 課堂討論: 20% 課程參與度: 20%	加總: 100	15
4.1 具備使用網路資源之能力。	5%	具備使用網路資源之能力。	講述法	小考: 10% 期中考: 20% 期末考: 20% 作業: 10% 課堂討論: 20% 課程參與度: 20%	加總: 100	5

4.2 能充分運用圖書館資源。	5%	能充分運用圖書館資源。	講述法	小考: 10% 期中考: 20% 期末考: 20% 作業: 10% 課堂討論: 20% 課程參與度: 20%	加總: 100	5
4.3 具備資料檢索之能力。	5%	具備資料檢索之能力。	講述法	小考: 10% 期中考: 20% 期末考: 20% 作業: 10% 課堂討論: 20% 課程參與度: 20%	加總: 100	5

成績稽核

期中考: 20%
 期末考: 20%
 課堂討論: 20%
 課程參與度: 20%
 小考: 10%
 作業: 10%

教科書(尊重智慧財產權, 請用正版教科書, 勿非法影印他人著作)

書名	作者	譯者	出版社	出版年
Fundamentals of Logic Design, 6th Edition	Charles H. Roth, JR., Larry L. Kinney		滄海圖書	0

參考教材及專業期刊導讀(尊重智慧財產權, 請用正版教科書, 勿非法影印他人著作)

書名	作者	譯者	出版社	出版年
無參考教材及專業期刊導讀				

上課進度

週次	教學內容	分配時數(%)				
		講授	示範	習作	實驗	其他
1	Latches, and Flip-Flops & 智財權宣導(含告知學生應使用正版教科書)	70	0	30	0	0
2	Latches, and Flip-Flops	70	0	30	0	0
3	Registers and Shift Registers	70	0	30	0	0
4	Binary Counters and Counters for other Sequences	70	0	30	0	0
5	Binary Counters and Counters for other Sequences	70	0	30	0	0
6	Binary Counters and Counters for other Sequences	70	0	30	0	0
7	Analysis of Clocked Sequential Circuits	70	0	30	0	0

8	State Tables and Graphs, 期中考	20	0	30	0	50
9	State Tables and Graphs	70	0	30	0	0
10	Derivation of State Graphs and Tables	70	0	30	0	0
11	Derivation of State Graphs and Tables	70	0	30	0	0
12	Reduction of State Tables	70	0	30	0	0
13	Reduction of State Tables	70	0	30	0	0
14	Reduction of State Tables	70	0	30	0	0
15	Design of Sequential Circuits	70	0	30	0	0
16	Design of Sequential Circuits	70	0	30	0	0
17	Design of Sequential Circuits	70	0	30	0	0
18	期末考	0	0	0	0	100
