

102-2 大葉大學 完整版課綱

基本資訊

課程名稱	硬體描述語言	科目序號 / 代號	0882 / EEI2038
開課系所	電機工程學系	學制 / 班級	大學日間部2年1班
任課教師	陳慶順	專兼任別	專任
必選修 / 學分數	選修 / 3	畢業班 / 非畢業班	非畢業班
上課時段 / 地點	(四)789 / H371	授課語言別	中文

課程簡介

本課程教授學生如何進行可合成之 Verilog 硬體描述語言有關設計。

課程大綱

邏輯合成
行為模型
同步程序
模組階層化
邏輯層級模型
循環精確規範
先進時序

基本能力或先修課程

程式語言
數位邏輯

課程與系所基本素養及核心能力之關連

- 1.1. 數理基礎知識與能力
- 1.2. 資訊科技基礎知識與能力
- 2.1. 電機工程專業知識與應用能力
- 3.1. 蒐集資料、模擬分析、設計實驗及解決問題之能力
- 3.2. 執行工程實務所需之技術及實作之能力
- 4.1. 電機專業英語之基本能力
- 4.2. 瞭解國內外電機相關產業的發展趨勢與脈動
- 4.3. 充分認知專業倫理之重要性，瞭解工程技術對環境、社會及全球的影響，善盡工程師之社會責任

教學計畫表

系所核心能力	權重(%) 【A】	檢核能力指標(績效指 標)	教學策略	評量方法及配分 權重	核心能力 學習成績 【B】	期末學習 成績 【C=B*A 】
1.1.數理基礎知 識與能力	20%	1.1.1.能按時繳交作業。 1.1.2.能通過測驗。 1.1.3.能主動學習及提問 。	講述法 實務操作(實 驗、上機或 實習等)	課程參與度: 20% 口試: 30% 書面報告: 30% 上課筆記: 20%	加總: 100	20
1.2.資訊科技基 礎知識與能力	20%	1.2.1.能按時繳交程式等 相關作業。 1.2.2.能通過測驗。 1.2.3.能主動學習及提問 。	講述法 實務操作(實 驗、上機或 實習等)	課程參與度: 20% 口試: 30% 書面報告: 30% 上課筆記: 20%	加總: 100	20
2.1.電機工程專 業知識與應用能 力	20%	2.1.1.能按時繳交作業。 2.1.2.能通過測驗。 2.1.3.能主動學習及提問 。	講述法 實務操作(實 驗、上機或 實習等)	課程參與度: 20% 口試: 30% 書面報告: 30% 上課筆記: 20%	加總: 100	20
3.1.蒐集資料、 模擬分析、設計 實驗及解決問題 之能力	10%	3.1.1.能蒐集資料。 3.1.2.能使用模擬軟體。 3.1.3.能分析統計資料。 3.1.4.能解釋統計分析結 果。 3.1.5.能設計實驗。 3.1.6.能解決實驗中所遇 到的問題。	講述法 實務操作(實 驗、上機或 實習等)	課程參與度: 20% 口試: 30% 書面報告: 30% 上課筆記: 20%	加總: 100	10
3.2.執行工程實 務所需之技術及 實作之能力	10%	3.2.1.能勇於表達。 3.2.2.能熟練使用軟體、 儀器、機台等。 3.2.3.能解決專業上的問 題。	講述法 實務操作(實 驗、上機或 實習等)	課程參與度: 20% 口試: 30% 書面報告: 30% 上課筆記: 20%	加總: 100	10
4.1.電機專業英 語之基本能力	10%	4.1.1.能簡單地使用英文 提問與對話。 4.1.2.能寫出無文法與拼 音上錯誤的簡單英文句 子。	講述法 實務操作(實 驗、上機或 實習等)	課程參與度: 20% 口試: 30% 書面報告: 30% 上課筆記: 20%	加總: 100	10
4.2.瞭解國內外 電機相關產業的 發展趨勢與脈動	10%	4.2.1.能上臺報告電機相 關科技最新的發展概況 。 4.2.2.能繳交一篇產業科 技發展或相關專利的分 析報告。	講述法 實務操作(實 驗、上機或 實習等)	課程參與度: 20% 口試: 30% 書面報告: 30% 上課筆記: 20%	加總: 100	10

成績稽核

口試: 30%

書面報告: 30%

上課筆記: 20%

課程參與度: 20%

教科書(尊重智慧財產權, 請用正版教科書, 勿非法影印他人著作)

書名	作者	譯者	出版社	出版年
VERILOG ® QUICKSTART	James M. Lee		KLUWER ACADEMIC PUBLISHERS	0

參考教材及專業期刊導讀(尊重智慧財產權, 請用正版教科書, 勿非法影印他人著作)

書名	作者	譯者	出版社	出版年
無參考教材及專業期刊導讀				

上課進度

週次	教學內容	分配時數(%)				
		講授	示範	習作	實驗	其他
1	INTRODUCTION-Framing Verilog Concepts & 智財權宣 導(含告知學生應使用正版教科書)	30	10	60	0	0
2	INTRODUCTION TO THE VERILOG LANGUAGE	30	10	60	0	0
3	PROCEDURAL MODELING	30	10	60	0	0
4	PROCEDURAL MODELING	30	10	60	0	0
5	SYSTEM TASKS FOR DISPLAYING RESULTS	30	10	60	0	0
6	DATA OBJECTS	30	10	60	0	0
7	PROCEDURAL ASSIGNMENTS	30	10	60	0	0
8	期中考週-實作練習與模擬	30	10	60	0	0
9	PROCEDURAL ASSIGNMENTS	30	10	60	0	0
10	OPERATORS	30	10	60	0	0
11	CREATING COMBINATORIAL AND SEQUENTIAL LOGIC	30	10	60	0	0
12	CREATING COMBINATORIAL AND SEQUENTIAL LOGIC	30	10	60	0	0
13	TASKS AND FUNCTIONS	30	10	60	0	0
14	PROCEDURAL MODELING	30	10	60	0	0
15	USER-DEFINED PRIMITIVES	30	10	60	0	0
16	PARAMETERIZED MODULES	30	10	60	0	0
17	STATE MACHINES	30	10	60	0	0
18	期末考週-實作練習與模擬	30	10	60	0	0

