

102-1 大葉大學 完整版課綱

基本資訊

課程名稱	FPGA晶片設計與應用實務	科目序號 / 代號	2527 / EEI4266
開課系所	電機工程學系	學制 / 班級	大學日間部3年3班
任課教師	黃登淵	專兼任別	專任
必選修 / 學分數	選修 / 3	畢業班 / 非畢業班	非畢業班
上課時段 / 地點	(二)678 / H371	授課語言別	中文

課程簡介

本課程的安排為理論與實務並重，以教授VHDL語法在FPGA上實現晶片設計之觀念為主，並佐以EDA軟體工具的模擬，配合實驗模組進行實際的操作與學習，以「即學即用」的方式使學員能快速掌握晶片設計的重點與工程經驗，建立進入專業領域的自信心。

課程大綱

VHDL設計概論
組合邏輯設計
閘層次功能模擬
晶片層次功能模擬
循序邏輯設計I-暫存器、計數器、計時器
循序邏輯設計II-程序、系統設計、狀態機
實作模擬-電子鐘、安全鎖

基本能力或先修課程

數位邏輯設計
電子學

課程與系所基本素養及核心能力之關連

- 1.1. 數理基礎知識與能力
- 1.2. 資訊科技基礎知識與能力
- 2.1. 電機工程專業知識與應用能力
- 3.1. 蒐集資料、模擬分析、設計實驗及解決問題之能力
- 3.2. 執行工程實務所需之技術及實作之能力
- 4.1. 電機專業英語之基本能力
- 4.2. 瞭解國內外電機相關產業的發展趨勢與脈動
- 4.3. 充分認知專業倫理之重要性，瞭解工程技術對環境、社會及全球的影響，善盡工程師之社會責任

教學計畫表

系所核心能力	權重(%) 【A】	檢核能力指標(績效指 標)	教學策略	評量方法及配分 權重	核心能力 學習成績 【B】	期末學習 成績 【C=B*A 】
1.1.數理基礎知 識與能力	20%	1.1.1.能按時繳交作業。 1.1.2.能通過測驗。 1.1.3.能主動學習及提問 。	講述法 實務操作(實 驗、上機或 實習等) 專題報告	期中考: 30% 作業: 20% 課程參與度: 20% 成品製作: 30%	加總: 100	20
1.2.資訊科技基 礎知識與能力	20%	1.2.1.能按時繳交程式等 相關作業。 1.2.2.能通過測驗。 1.2.3.能主動學習及提問 。	講述法 實務操作(實 驗、上機或 實習等) 專題報告	期中考: 30% 作業: 20% 課程參與度: 20% 成品製作: 30%	加總: 100	20
2.1.電機工程專 業知識與應用能 力	30%	2.1.1.能按時繳交作業。 2.1.2.能通過測驗。 2.1.3.能主動學習及提問 。	講述法 實務操作(實 驗、上機或 實習等) 專題報告	期中考: 30% 作業: 20% 課程參與度: 20% 成品製作: 30%	加總: 100	30
3.1.蒐集資料、 模擬分析、設計 實驗及解決問題 之能力	30%	3.1.1.能蒐集資料。 3.1.2.能使用模擬軟體。 3.1.3.能分析統計資料。 3.1.4.能解釋統計分析結 果。 3.1.5.能設計實驗。 3.1.6.能解決實驗中所遇 到的問題。	講述法 實務操作(實 驗、上機或 實習等) 專題報告	期中考: 30% 作業: 20% 課程參與度: 20% 成品製作: 30%	加總: 100	30

成績稽核

期中考: 30%
成品製作: 30%
作業: 20%
課程參與度: 20%

教科書(尊重智慧財產權，請用正版教科書，勿非法影印他人著作)

書名	作者	譯者	出版社	出版年
VHDL與數位邏輯設 計	唐佩忠		高立圖書公司	2002

參考教材及專業期刊導讀(尊重智慧財產權，請用正版教科書，勿非法影印他人著作)

書名	作者	譯者	出版社	出版年
----	----	----	-----	-----

無參考教材及專業期刊導讀

上課進度		分配時數(%)				
週次	教學內容	講授	示範	習作	實驗	其他
1	Introduction to chip design & 智財權宣導(含告知學生應使用 正版教科書)	30	30			40
2	FPGA/CPLD General Architectures	30	30			40
3	Introduction to VHDL Design Methodology	30	30			40
4	Basics of Combinatorial Logic Design-1	30	30			40
5	Basics of Combinatorial Logic Design-2	30	30			40
6	Gate Level Functional Simulation	30	30			40
7	Chip Level Functional Verification	30	30			40
8	Basics of Sequential Logic Design I:	30	30			40
9	期中考試	30	30			40
10	Registers, Counters, Timers-1	30	30			40
11	Registers, Counters, Timers-2	30	30			40
12	Basics of Sequential Logic Design II:	30	30			40
13	Process, System design, State Machine Logic	30	30			40
14	Project Demonstration I :	30	30			40
15	Printer port interface, Electronic clock, Security lock	30	30			40
16	Project Demonstration II:	30	30			40
17	Motion control project	30	30			40
18	期末專題報告與實作展示	30	30			40