

101-2 大葉大學 完整版課綱

基本資訊

課程名稱	數位邏輯設計實務	科目序號 / 代號	1718 / IFI2031
開課系所	資訊工程學系	學制 / 班級	大學日間部2年3班
任課教師	林仁勇	專兼任別	專任
必選修 / 學分數	選修 / 3	畢業班 / 非畢業班	非畢業班
上課時段 / 地點	(一)567 / H705	授課語言別	中文

課程簡介

本課程主要以輔導同學通過數位邏輯設計丙級能力認證考試為主，在課程中教授兩項實務技能：1.利用MAX+plus II軟體設計組合及序項邏輯電路，並將電路燒錄至CPLD/FPGA實驗版中，以驗證電路之正確性來增進學生設計邏輯電路之實務經驗。2.教授學生焊接電路板之技巧，包刮SMD及THT元件之焊接。

課程大綱

- Ch1: MAX+plus II軟體介紹
- Ch2: CPLD/FPGA實驗版介紹
- Ch3: 組合電路數位系統設計與燒錄驗證
- Ch4: 序向電路數位系統介紹
- Ch5: 序向電路數位系統設計與燒錄驗證
- Ch6: 焊接實務
- Ch7: 數位邏輯設計丙級能力認證考試實例說明

基本能力或先修課程

修過數位邏輯設計及數位實驗(一)課程者為佳。

課程與系所基本素養及核心能力之關連

- 1.1 具備資訊工程與資訊應用所需的基本數學和物理學的知識。
- 1.2 具備應用線性代數、離散數學及工程數學的能力，並使用機率統計方法來分析資料的能力。
- 1.3 具備系統分析與程式設計能力。
- 1.4 具備數位系統設計基本能力及熟悉計算機原理與應用。
- 1.5 瞭解電腦網路運作基本原理，並熟練使用相關網路工具解決網路問題之能力。
- 1.6 具備資料結構及演算法之基本知識及應用能力，並具有資料庫設計和多媒體編輯及整合之能力。
- 1.7 瞭解資訊系統的基本架構與運作原理，具備基本資訊系統的設計、分析與整合能力。
- 2.1 有團隊合作的能力。
- 2.2 具備良好的溝通技巧。
- 2.3 具備撰寫計畫、有效的時程管理及執行研究專題與撰寫研究報告之能力。
- 2.4 具備正確的工程倫理道德觀念。

3.1 能夠了解社會生態及全球經濟發展的脈動，認清其於現代社會中扮演的角色。

3.2 能夠欣賞文化、藝術及具有人文素養。

3.3 具備以英文閱讀資訊相關領域文章之基本能力。

4.1 具備使用網路資源之能力。

4.2 能充分運用圖書館資源。

4.3 具備資料檢索之能力。

4.4 了解國內外相關產業之發展現況。

4.5 了解『終身學習』的重要性。

教學計畫表

系所核心能力	權重(%) 【A】	檢核能力指標(績效指 標)	教學策略	評量方法及配分 權重	核心能力 學習成績 【B】	期末學習 成績 【C=B*A 】
1.1 具備資訊工程與資訊應用所需的基本數學和物理學的知識。	20%	具備資訊工程與資訊應用所需的基本數學和物理學的知識。	講述法 實務操作(實驗、上機或實習等)	期中考: 30% 課程參與度: 20% 成品製作: 20% 專業證照考取: 30%	加總: 100	20
1.4 具備數位系統設計基本能力及熟悉計算機原理與應用。	60%	具備數位系統設計基本能力及熟悉計算機原理與應用。	講述法 實務操作(實驗、上機或實習等)	期中考: 30% 課程參與度: 20% 成品製作: 20% 專業證照考取: 30%	加總: 100	60
4.1 具備使用網路資源之能力。	10%	具備使用網路資源之能力。	講述法 實務操作(實驗、上機或實習等)	期中考: 30% 課程參與度: 20% 成品製作: 20% 專業證照考取: 30%	加總: 100	10
4.3 具備資料檢索之能力。	10%	具備資料檢索之能力。	講述法 實務操作(實驗、上機或實習等)	期中考: 30% 課程參與度: 20% 成品製作: 20% 專業證照考取: 30%	加總: 100	10

成績稽核

期中考: 30%

專業證照考取: 30%

成品製作: 20%

課程參與度: 20%

教科書(尊重智慧財產權，請用正版教科書，勿非法影印他人著作)

書名	作者	譯者	出版社	出版年
自編教材	自編教材			0

參考教材及專業期刊導讀(尊重智慧財產權，請用正版教科書，勿非法影印他人著作)

書名	作者	譯者	出版社	出版年
數位邏輯設計丙級能力認證學術科	趙芊逸		基峯	2012

上課進度		分配時數(%)				
週次	教學內容	講授	示範	習作	實驗	其他
1	課程簡介	100	0	0	0	0
2	組合邏輯電路設計與實作	50	50	0	0	0
3	組合邏輯電路設計與實作	0	0	100	0	0
4	組合邏輯電路設計與實作	0	0	100	0	0
5	循序邏輯電路設計與實作	50	50	0	0	0
6	循序邏輯電路設計與實作	0	0	100	0	0
7	循序邏輯電路設計與實作	0	0	100	0	0
8	期中考	0	0	0	0	100
9	循序邏輯電路設計與實作	0	0	100	0	0
10	循序邏輯電路設計與實作	0	0	100	0	0
11	CPLD 專題設計與實作	50	50	0	0	0
12	CPLD 專題設計與實作	0	0	100	0	0
13	CPLD 專題設計與實作	0	0	100	0	0
14	CPLD 專題設計與實作	0	0	100	0	0
15	數位電子時鐘電路設計與實作	50	50	0	0	0
16	數位電子時鐘電路設計與實作	0	0	100	0	0
17	數位電子時鐘電路設計與實作	0	0	100	0	0
18	期末考	0	0	0	0	100