

100-1 大葉大學 完整版課綱

基本資訊

課程名稱	數位實驗(一)	科目序號 / 代號	0801 / IF12026
開課系所	資訊工程學系	學制 / 班級	大學日間部2年1班
任課教師	高富建	專兼任別	專任
必選修 / 學分數	必修 / 1	畢業班 / 非畢業班	非畢業班
上課時段 / 地點	(一)5 / H707 (二)56 / H707	授課語言別	中文

課程簡介

讓學生瞭解如何使用Silos軟體與Verilog硬體描述語言設計與模擬基礎數位系統。

課程大綱

- Ch1: 數位邏輯設計概念
- Ch2: 邏輯電路簡介
- Ch3: 組合電路基本區塊介紹
- Ch4: 組合電路基本區塊 Verilog code描述
- Ch5: 序向電路介紹
- Ch6: 同步序向電路 Verilog code描述
- Ch7: 非同步序向電路 Verilog code描述
- Ch8: 序向電路設計實例介紹

基本能力或先修課程

無

課程與系所基本素養及核心能力之關連

- 1.1 具備資訊工程與資訊應用所需的基本數學和物理學的知識。
- 1.2 具備應用線性代數、離散數學及工程數學的能力，並使用機率統計方法來分析資料的能力。
- 1.3 具備系統分析與程式設計能力。
- 1.4 具備數位系統設計基本能力及熟悉計算機原理與應用。
- 1.5 瞭解電腦網路運作基本原理，並熟練使用相關網路工具解決網路問題之能力。
- 1.6 具備資料結構及演算法之基本知識及應用能力，並具有資料庫設計和多媒體編輯及整合之能力。
- 1.7 瞭解資訊系統的基本架構與運作原理，具備基本資訊系統的設計、分析與整合能力。
- 2.1 有團隊合作的能力。
- 2.2 具備良好的溝通技巧。
- 2.3 具備撰寫計畫、有效的時程管理及執行研究專題與撰寫研究報告之能力。
- 2.4 具備正確的工程倫理道德觀念。

- 3.1 能夠了解社會生態及全球經濟發展的脈動，認清其於現代社會中扮演的角色。
- 3.2 能夠欣賞文化、藝術及具有人文素養。
- 3.3 具備以英文閱讀資訊相關領域文章之基本能力。
- 4.1 具備使用網路資源之能力。
- 4.2 能充分運用圖書館資源。
- 4.3 具備資料檢索之能力。
- 4.4 了解國內外相關產業之發展現況。
- 4.5 了解『終身學習』的重要性。

教學計畫表

系所核心能力	權重(%) 【A】	檢核能力指標(績效指 標)	教學策略	評量方法及配分 權重	核心能力 學習成績 【B】	期末學習 成績 【C=B*A 】
1.1 具備資訊工程與資訊應用所需的基本數學和物理學的知識。	10%	具備資訊工程與資訊應用所需的基本數學和物理學的知識。	講述法 小組討論 實務操作(實驗、上機或實習等) 小組合作 專題報告	期中考: 20% 期末考: 20% 作業: 30% 課程參與度: 20% 書面報告: 10%	加總: 100	10
1.3 具備系統分析與程式設計能力。	40%	具備系統分析與程式設計能力。	講述法 小組討論 實務操作(實驗、上機或實習等) 小組合作 專題報告	期中考: 20% 期末考: 20% 作業: 30% 課程參與度: 20% 書面報告: 10%	加總: 100	40
1.4 具備數位系統設計基本能力及熟悉計算機原理與應用。	30%	具備數位系統設計基本能力及熟悉計算機原理與應用。	講述法 小組討論 實務操作(實驗、上機或實習等) 小組合作 專題報告	期中考: 20% 期末考: 20% 作業: 30% 課程參與度: 20% 書面報告: 10%	加總: 100	30
2.1 有團隊合作的能力。	20%	有團隊合作的能力。	講述法 小組討論 實務操作(實驗、上機或實習等) 小組合作 專題報告	期中考: 20% 期末考: 20% 作業: 30% 課程參與度: 20% 書面報告: 10%	加總: 100	20

成績稽核

作業: 30%

期中考: 20%

期末考: 20%

課程參與度: 20%

書面報告: 10%

教科書(尊重智慧財產權，請用正版教科書，勿非法影印他人著作)

書名	作者	譯者	出版社	出版年
Fundamentals of digital logic with verilog design	S. Brown and Z. Vranesic		滄海圖書	0

參考教材及專業期刊導讀(尊重智慧財產權，請用正版教科書，勿非法影印他人著作)

書名	作者	譯者	出版社	出版年
Verilog HDL: A guide to digital design and synth	S. Palnitkar		全華圖書	0

上課進度

週次	教學內容	分配時數(%)				
		講授	示範	習作	實驗	其他
1	數位邏輯設計概念	30	70			
2	組合電路	30	40		30	
3	組合電路基本區塊介紹	30	40		30	
4	組合電路基本區塊Verilog code描述	20	10		70	
5	組合電路基本區塊Verilog code描述	20	10		70	
6	組合電路基本區塊Verilog code描述	20	10		70	
7	組合電路設計	10	10		80	
8	組合電路設計	10	10		80	
9	midterm					100
10	序向電路介紹	30	40		30	
11	序向電路介紹	30	40		30	
12	同步序向電路Verilog code描述	20	10		70	
13	同步序向電路Verilog code描述	20	10		70	
14	非同步序向電路Verilog code描述	20	10		70	
15	非同步序向電路Verilog code描述	20	10		70	
16	序向電路設計	10	10		80	
17	序向電路設計	10	10		80	
18	final					100

