

105-2 大葉大學 完整版課綱

基本資料

課程名稱	硬體描述語言	科目序號/代號	2627 / IFI3109
必選修/學分數	選修 /3	上課時段/地點	(二)234 / H708
授課語言別	中文	成績型態	數字
任課教師 / 專兼任別	高富建 / 專任	畢業班/非畢業班	非畢業班
學制/系所/年班	大學日間部 / 資訊工程學系 / 3年1班		

課程簡介與目標

本課程透過硬體描述語言(HDL)及數位邏輯設計能力的學習，進行數位IC的設計訓練。課程透過硬體描述語言(Hardware Description Language)的撰寫訓練，完成相關數位電路設計及訊號模擬與驗證。課程內容包含DirectVHDL測試平台的介紹使用及硬體描述語法的撰寫訓練，提供學習者透過程式設計了解數位電路的設計技術。課程採合作式的期中期末專題設計訓練，循序漸進的培養學生用有效率的硬體描述語法完成VLSI數位電路設計。

課程大綱

- 單元主題1.介紹IC設計
- 單元主題2.DirectVhdl安裝及VHDL語法介紹(I)
- 單元主題3.VHDL語法介紹(I)
- 單元主題4.VHDL語法介紹(II)
- 單元主題5.組合邏輯電路設計(I)
- 單元主題6.組合邏輯電路設計(II)
- 單元主題7.期中專題
- 單元主題8.VHDL語法介紹(III)
- 單元主題9.循序邏輯電路設計(I)
- 單元主題10.循序邏輯電路設計(II)
- 單元主題11.數位系統設計
- 單元主題12.期末專題

基本能力或先修課程

數位系統設計

課程與系所基本素養及核心能力之關連

- 1.5 瞭解電腦網路運作基本原理，並熟練使用相關網路工具解決網路問題之能力。
- 1.1 具備資訊工程與資訊應用所需的基本數學和物理學的知識。
- 1.2 具備應用線性代數、離散數學及工程數學的能力，並使用機率統計方法來分析資料的能力。
- 1.3 具備系統分析與程式設計能力。
- 1.4 具備數位系統設計基本能力及熟悉計算機原理與應用。

- 1.6 具備資料結構及演算法之基本知識及應用能力，並具有資料庫設計和多媒體編輯及整合之能力。
 - 1.7 瞭解資訊系統的基本架構與運作原理，具備基本資訊系統的設計、分析與整合能力。
 - 2.1 有團隊合作的能力。
 - 2.2 具備良好的溝通技巧。
 - 2.3 具備撰寫計畫、有效的時程管理及執行研究專題與撰寫研究報告之能力。
 - 2.4 具備正確的工程倫理道德觀念。
 - 3.1 能夠了解社會生態及全球經濟發展的脈動，認清其於現代社會中扮演的角色。
 - 3.2 能夠欣賞文化、藝術及具有人文素養。
 - 3.3 具備以英文閱讀資訊相關領域文章之基本能力。
 - 4.1 具備使用網路資源之能力。
 - 4.2 能充分運用圖書館資源。
 - 4.3 具備資料檢索之能力。
 - 4.4 了解國內外相關產業之發展現況。
 - 4.5 了解『終身學習』的重要性。
-

教學計畫表

系所核心能力	權重(%) 【A】	檢核能力指標(績效指 標)	教學策略	評量方法及配分 權重	核心能力 學習成績 【B】	期末學習 成績 【C=B*A 】
1.3 具備系統分析與程式設計能力。	30	具備系統分析與程式設計能力。	講述法 小組討論 實務操作(實驗、上機或實習等) 小組合作	期中考: 20% 期末考: 20% 作業: 30% 課程參與度: 20% 小組合作狀況: 10%	加總: 100	30
1.4 具備數位系統設計基本能力及熟悉計算機原理與應用。	40	具備數位系統設計基本能力及熟悉計算機原理與應用。	講述法 小組討論 實務操作(實驗、上機或實習等) 小組合作	期中考: 20% 期末考: 20% 作業: 30% 課程參與度: 20% 小組合作狀況: 10%	加總: 100	40
1.6 具備資料結構及演算法之基本知識及應用能力，並具有資料庫設計和多媒體編輯及整合之能力。	10	具備資料結構及演算法之基本知識及應用能力，並具有資料庫設計和多媒體編輯及整合之能力。	講述法 小組討論 實務操作(實驗、上機或實習等) 小組合作	期中考: 20% 期末考: 20% 作業: 30% 課程參與度: 20% 小組合作狀況: 10%	加總: 100	10
2.1 有團隊合作的能力。	10	有團隊合作的能力。	講述法 小組討論 實務操作(實驗、上機或實習等) 小組合作	期中考: 20% 期末考: 20% 作業: 30% 課程參與度: 20% 小組合作狀況: 10%	加總: 100	10
4.1 具備使用網路資源之能力。	5	具備使用網路資源之能力。	講述法 小組討論 實務操作(實驗、上機或實習等) 小組合作	期中考: 20% 期末考: 20% 作業: 30% 課程參與度: 20% 小組合作狀況: 10%	加總: 100	5
4.3 具備資料檢索之能力。	5	具備資料檢索之能力。	講述法 小組討論 實務操作(實驗、上機或實習等) 小組合作	期中考: 20% 期末考: 20% 作業: 30% 課程參與度: 20% 小組合作狀況: 10%	加總: 100	5

成績稽核

作業: 30%

課程參與度: 20%

期中考: 20%

期末考: 20%

小組合作狀況: 10%

書籍類別 (尊重智慧財產權, 請用正版教科書, 勿非法影印他人著作)

書籍類別	書名	作者
自編教材	硬體描述語言	高富建

上課進度

週次	教學內容	教學策略
1	Direct VHDL & 智財權宣導(含告知學生應使用正版教科書) & 交通安全宣導	講述法、小組討論、實務操作(實驗、上機或實習等)、小組合作
2	VHDL Design of Basic Logic Gates	講述法、小組討論、實務操作(實驗、上機或實習等)、小組合作
3	VHDL Design of Basic Logic Gates	講述法、小組討論、實務操作(實驗、上機或實習等)、小組合作
4	VHDL Design of Combinational Logic CKT	講述法、小組討論、實務操作(實驗、上機或實習等)、小組合作
5	VHDL Design of Combinational Logic CKT	講述法、小組討論、實務操作(實驗、上機或實習等)、小組合作
6	VHDL Design of Combinational Logic CKT	講述法、小組討論、實務操作(實驗、上機或實習等)、小組合作
7	VHDL Design of Flip-Flops	講述法、小組討論、實務操作(實驗、上機或實習等)、小組合作
8	Mid-Term Project	講述法、小組討論、實務操作(實驗、上機或實習等)、小組合作
9	Mid-Term Exam.	小組討論、實務操作(實驗、上機或實習等)、小組合作
10	VHDL Design of Flip-Flops	講述法、小組討論、實務操作(實驗、上機或實習等)、小組合作
11	VHDL Design of Sequential Logic CKTs	講述法、小組討論、實務操作(實驗、上機或實習等)、小組合作

12	VHDL Design of Sequential Logic CKTs	講述法、小組討論、實務操作(實驗、上機或實習等)、小組合作
13	VHDL Design of Sequential Logic CKTs	講述法、小組討論、實務操作(實驗、上機或實習等)、小組合作
14	VHDL Design of Digital System	講述法、小組討論、實務操作(實驗、上機或實習等)、小組合作
15	VHDL Design of Digital System	講述法、小組討論、實務操作(實驗、上機或實習等)、小組合作
16	VHDL Design of Digital System	講述法、小組討論、實務操作(實驗、上機或實習等)、小組合作
17	Final Project	講述法、小組討論、實務操作(實驗、上機或實習等)、小組合作
18	Final Exam.	小組討論、實務操作(實驗、上機或實習等)、小組合作